



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑩ **DE 197 27 789 A 1**

⑤1 Int. Cl.⁶:
G 11 C 29/00
G 11 C 5/14
G 11 C 11/401
// H03K 19/0175

②1 Aktenzeichen: 197 27 789.6
②2 Anmeldetag: 30. 6. 97
④3 Offenlegungstag: 20. 5. 98

DE 197 27 789 A 1

③0 Unionspriorität:
8-306542 18. 11. 96 JP

⑦1 Anmelder:
Mitsubishi Denki K.K., Tokio/Tokyo, JP

⑦4 Vertreter:
Prüfer und Kollegen, 81545 München

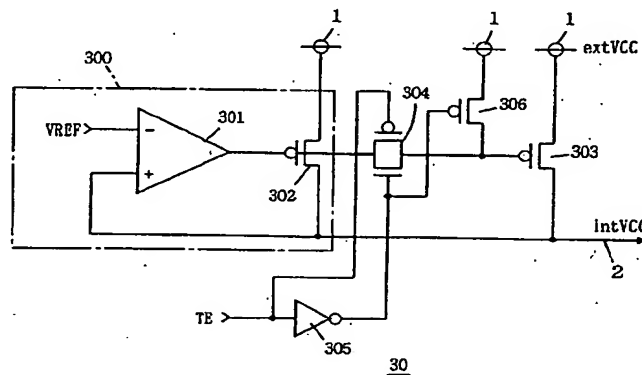
⑦2 Erfinder:
Itou, Takashi, Tokio/Tokyo, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Halbleiterschaltungseinrichtung mit einer internen Spannungsversorgungsschaltung

⑤7 In einem DRAM (dynamischer Direktzugriffsspeicher), der einen Spannungsabsenkkonverter (300) aufweist, ist ein Treibertransistor (302) in dem Spannungsabsenkkonverter (300) parallel mit einem anderen Treibertransistor (303) verbunden, so daß der Treibertransistor (303) als Reaktion auf ein Testmodussignal (TE), das durch Erfassen von WCBR (/WE, /CAS vor /RAS) und eines Adreßschlüssels aktiviert ist, selektiv deaktiviert wird. Daher kann eine optimale Gatebreite der Treibertransistoren (302, 303) leicht bestimmt werden, wenn der Spannungsabsenkkonverter (300) schwingt.



DE 197 27 789 A 1

Beschreibung

Die vorliegende Erfindung betrifft eine Halbleiterschaltungseinrichtung und speziell betrifft sie eine Halbleiterschaltungseinrichtung, die eine externe Versorgungsspannung empfängt und die einen normalen Modus und einen Testmodus aufweist.

Eine Halbleiterschaltungseinrichtung, wie zum Beispiel ein DRAM (dynamischer Direktzugriffsspeicher) oder ein SRAM (statischer Direktzugriffsspeicher), wird momentan als eine Halbleiterschaltungseinrichtung zur Verfügung gestellt. In letzter Zeit wurde auch eine Halbleiterschaltungseinrichtung, die eine interne Versorgungsspannungsschaltung aufweist, die eine interne Versorgungsspannung (z. B. 3,3 V) durch Absenken einer externen Versorgungsspannung (z. B. 5 V) erzeugt, derart zur Verfügung gestellt, daß der Leistungsverbrauch reduziert wird.

Fig. 14 ist ein Schaltungsdiagramm, das einen Aufbau einer der Anmelderin bekannten internen Spannungsversorgungsschaltung zeigt, die zum Beispiel in einem DRAM benutzt wird. Wie in Fig. 14 gezeigt ist, enthält die der Anmelderin bekannte interne Spannungsversorgungsschaltung einen Differenzverstärker 3 und einen Treibertransistor 4. Der Differenzverstärker 3 weist einen invertierten Eingangsanschluß, der eine Referenzspannung VREF empfängt, und einen nicht-invertierten Eingangsanschluß, der mit einem internen Versorgungsknoten 2 verbunden ist, auf. Das Gate des Treibertransistors 4 ist mit einem Ausgangsanschluß des Differenzverstärkers 3 verbunden und der Treibertransistor 4 ist zwischen einem externen Versorgungsknoten 1 und dem internen Versorgungsknoten 2 geschaltet.

Bei der oben beschriebenen internen Versorgungsschaltung wird die interne Versorgungsspannung intVCC zu dem Differenzverstärker 3 rückgekoppelt, so daß der Differenzverstärker 3 den Treibertransistor derart steuert, daß die interne Versorgungsspannung intVCC an die Referenzspannung VREF angeglichen wird. Das heißt, daß der Differenzverstärker 3 und der Treibertransistor 4 einen Regelkreis bilden. Als Ergebnis liefert diese interne Versorgungsspannungsschaltung dem internen Versorgungsknoten 2 die interne Versorgungsspannung intVCC, die geringer ist als die externe Versorgungsspannung extVCC.

Bei der oben beschriebenen internen Versorgungsspannungsschaltung weist der Treibertransistor 4 wünschenswert eine breitere Gatebreite auf, damit viel Strom an den internen Versorgungsknoten 2 geliefert wird. Wie in Fig. 15 gezeigt ist, ist dies deshalb so, da die Treiberfähigkeit des Treibertransistors 4 verbessert wird, wenn die Gatebreite (W) breiter wird.

Da jedoch ein Rückkopplungskreis bei der oben beschriebenen internen Versorgungsspannungsschaltung gebildet ist, nimmt die Stabilität gegen Oszillationen ab, wenn der Treibertransistor 4 eine größere Gatebreite (W) aufweist. Somit gibt es einen sogenannten Kompromiß zwischen der Treiberfähigkeit des Treibertransistors 4 und der Schwingungsstabilität.

Daher wird die Gatebreite (W) des Treibertransistors 4 bevorzugt so entworfen, daß sie am breitesten ist, solange keine Schwingungen verursacht werden. Es kann jedoch eine unerwartete Schwingung nach der Herstellung eines DRAM-Chips auftreten, da es schwierig ist, durch zum Beispiel eine Simulation perfekt die optimale Gatebreite (W) vorherzusagen, die eine große Treiberfähigkeit und eine verbesserte Schwingungsstabilität aufweist. Auch können Variationen beim Herstellungsprozeß Schwingungen verursachen.

Wenn Schwingungen nach dem Herstellen des DRAM-Chips auftreten, wie oben erwähnt, muß die Gatebreite (W)

eines Treibertransistor so neu entworfen werden, daß sie schmaler ist. Es ist jedoch schwierig vorherzusagen, wie schmal eine Gatebreite (W) ist, die ausreicht die Schwingungen zu stoppen. Daher kann eine Schwingung wieder auftreten, sogar wenn ein neuer Chip durch Überarbeiten einer Maske hergestellt wird. Somit wurde eine Wiederholung der Maskenüberarbeitung benötigt, damit die Gatebreite (W) des Treibertransistors 4 optimal entworfen wird.

Obwohl mit dem FIB-Prozeß (Prozeß mit einem fokussierten Ionenstrahl) die optimale Gatebreite (W) derart bewertet bzw. bestimmt werden kann, daß die Wiederholung der Maskenüberarbeitung reduziert werden kann, ist es beschwerlich. Auch können ungeachtet des vorherigen FIB-Prozesses Schwingungen auftreten.

Es ist Aufgabe der vorliegenden Erfindung, eine Halbleiterschaltungseinrichtung zur Verfügung zu stellen, die leicht die Stromversorgungsfähigkeit einer internen Versorgungsschaltung optimieren kann.

Die Aufgabe wird durch Halbleiterspeichervorrichtung des Anspruches 1 oder 7 gelöst.

Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

Nach einem Aspekt weist eine Halbleiterschaltungseinrichtung, die eine externe Versorgungsspannung empfängt und die einen Normalmodus und einen Testmodus aufweist, eine interne Schaltungsanordnung, eine erste interne Versorgungsschaltung, eine zweite interne Versorgungsschaltung, eine Erfassungsschaltung und eine Aktivierungs-/Deaktivierungsschaltung auf. Die interne Schaltungsanordnung ist mit einem internen Versorgungsknoten verbunden und führt einen vorbestimmten Betrieb durch. Die erste interne Versorgungsschaltung ist mit einem externen Versorgungsknoten verbunden, der die externe Versorgungsspannung empfängt, und sie liefert dem internen Versorgungsknoten eine interne Versorgungsspannung, die geringer ist als die externe Versorgungsspannung. Die zweite interne Versorgungsschaltung ist mit dem externen Versorgungsknoten verbunden und sie liefert die interne Versorgungsspannung an den internen Versorgungsknoten. Die Erfassungsschaltung erfaßt einen Testmodus als Reaktion auf ein von außen geliefertes Steuersignal zu einem vorbestimmten Zeitpunkt und erzeugt ein erstes Testmodussignal. Die Aktivierungs-/Deaktivierungsschaltung aktiviert/deaktiviert die zweite interne Versorgungsschaltung als Reaktion auf das erste Testmodussignal.

Daher aktiviert/deaktiviert die Aktivierungs-/Deaktivierungsschaltung die zweite interne Versorgungsschaltung, wenn das Steuersignal zu einem vorbestimmten Zeitpunkt geliefert wird. Als Ergebnis kann die Stromversorgungsfähigkeit der internen Versorgungsspannung leicht optimiert werden.

Bevorzugt weist die oben beschriebene Halbleiterschaltungseinrichtung weiter eine Mehrzahl von Adreßanschlüssen auf, die ein Zeilen- und ein Spaltenadreßsignal empfangen. Die oben beschriebene interne Schaltungsanordnung enthält ein Speicherzellenfeld, einen Adreßpuffer, einen Zeilendekoder, einen Spaltendekoder und eine Schreibschaltung. Das Speicherzellenfeld weist eine Mehrzahl von Speicherzellen auf, die in Zeilen und Spalten angeordnet sind. Der Adreßpuffer empfängt das Zeilenadreßsignal als Reaktion auf ein Zeilenadreßauslösesignal und empfängt das Spaltenadreßsignal als Reaktion auf ein Spaltenadreßauslösesignal. Der Zeilendekoder wählt eine Zeile des Speicherzellenfeldes als Reaktion auf das Zeilenadreßsignal von dem Adreßpuffer aus. Der Spaltendekoder wählt eine Spalte des Speicherzellenfeldes als Reaktion auf das Spaltenadreßsignal von dem Adreßpuffer aus. Die Schreibschaltung schreibt als Reaktion auf ein Schreibfreigabesignal ein Da-

tensignal in die Speicherzellen, die in einer Zeile, die durch den Zeilendekoder ausgewählt ist, und in einer Spalte, die durch den Spaltendekoder ausgewählt ist, angeordnet sind. Die oben beschriebene Erfassungsschaltung enthält eine Schaltung zum Erzeugen eines zweiten Testmodussignales, wenn das Spaltenadresausslösesignal und das Schreibfreigabesignal vor der Aktivierung des Spaltenadresausslösesignales aktiviert sind, und eine Schaltung, die zumindest mit einem Adreßanschluß verbunden ist und ein erstes Testmodussignal erzeugt, wenn das zweite Testmodussignal aktiviert ist und eine Spannung, die höher ist als die interne Versorgungsspannung, zu dem zumindest einen Adreßanschluß geliefert wird.

Daher wird die zweite interne Versorgungsschaltung aktiviert, wenn die Erfassungsschaltung WCBR (/WE, /CAS vor /RAS) und einen Adreßschlüssel erfaßt. Als Ergebnis wird ein Ansteigen der Chipgröße unterdrückt, verglichen mit einer Anschlußoption.

Nach einem anderen Aspekt weist eine Halbleiterschaltungseinrichtung, die eine externe Versorgungsspannung empfängt und die einen Normalmodus und einen Testmodus aufweist, einen internen Schaltungsaufbau, eine erste und zweite interne Versorgungsschaltung, eine Erfassungsschaltung und eine erste und eine zweite Deaktivierungsschaltung auf. Die interne Schaltungsanordnung ist mit einem internen Versorgungsknoten verbunden und führt einen vorbestimmten Betrieb durch. Die erste interne Versorgungsschaltung liefert dem internen Versorgungsknoten eine interne Versorgungsspannung, die geringer ist als die externe Versorgungsspannung. Die zweite interne Versorgungsschaltung ist mit einem externen Versorgungsknoten verbunden und sie liefert dem internen Versorgungsknoten die interne Versorgungsspannung. Die Erfassungsschaltung erfaßt einen Testmodus und erzeugt ein Testmodussignal. Die erste Deaktivierungsschaltung deaktiviert vorübergehend die zweite interne Versorgungsschaltung als Reaktion auf das Testmodussignal. Die zweite Deaktivierungsschaltung deaktiviert normalerweise die zweite interne Versorgungsschaltung.

Daher kann die zweite interne Versorgungsschaltung vorübergehend in dem Testmodus deaktiviert werden und auch normalerweise deaktiviert werden. Als Ergebnis kann eine Halbleiterschaltungseinrichtung zur Verfügung gestellt werden, die eine optimierte Stromversorgungsfähigkeit der internen Versorgungsspannung aufweist.

Weitere Merkmale und Zweckmäßigkeiten der Erfindung ergeben aufgrund der Beschreibung von Ausführungsformen anhand der Figuren. Von den Figuren zeigen:

Fig. 1 ein Blockdiagramm, das einen Gesamtaufbau eines DRAM entsprechend einer ersten Ausführungsform zeigt;

Fig. 2 ein Schaltungsdiagramm, das einen speziellen Aufbau einer internen Versorgungsschaltung in Fig. 1 zeigt;

Fig. 3 ein Blockdiagramm, das einen Aufbau einer Testmoduserfassungsschaltung in Fig. 1 zeigt;

Fig. 4 ein Schaltungsdiagramm, das einen speziellen Aufbau einer WCBR-Erfassungsschaltung in Fig. 3 zeigt;

Fig. 5 ein Blockdiagramm, das einen speziellen Aufbau einer Super-VIIH-Erfassungsschaltung in Fig. 3 zeigt;

Fig. 6A bis 6D Timingdarstellungen, die einen Betrieb der Testmoduserfassungsschaltung von Fig. 3 zeigen;

Fig. 7 ein Schaltungsdiagramm, das einen speziellen Aufbau einer internen Versorgungsschaltung in einem DRAM entsprechend einer zweiten Ausführungsform zeigt;

Fig. 8 ein Schaltungsdiagramm, das einen speziellen Aufbau einer internen Versorgungsschaltung in einem DRAM entsprechend einer dritten Ausführungsform zeigt;

Fig. 9 ein Blockdiagramm, das einen Aufbau einer Testmoduserfassungsschaltung zeigt, die für die interne Versor-

gungsschaltung von Fig. 8 benutzt wird;

Fig. 10 ein Schaltungsdiagramm, das einen speziellen Aufbau einer Adreßerfassungsschaltung in Fig. 9 zeigt;

Fig. 11A bis 11F Timingdiagramme, die einen Betrieb der Testmoduserfassungsschaltung von Fig. 9 zeigen;

Fig. 12 ein Schaltungsdiagramm, das einen speziellen Aufbau einer internen Versorgungsschaltung eines DRAM entsprechend einer vierten Ausführungsform zeigt;

Fig. 13 ein Schaltungsdiagramm, das einen speziellen Aufbau einer internen Versorgungsschaltung eines DRAM einer fünften Ausführungsform zeigt;

Fig. 14 ein Schaltungsdiagramm, das einen Aufbau einer der Anmeldering bekannten internen Versorgungsschaltung in einem DRAM zeigt;

Fig. 15 ein Diagramm, das eine Beziehung zwischen Gatebreite, Treiberfähigkeit und Schwingungsstabilität eines Treibertransistors in Fig. 14 zeigt.

BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGSFORMEN

Hier werden die Ausführungsformen im Detail in Bezug zu den Figuren beschrieben. Die gleichen oder entsprechenden Teile in den Figuren werden durch die gleichen Bezugszeichen bezeichnet.

Erste Ausführungsform

Fig. 1 ist ein Blockdiagramm, das einen Gesamtaufbau eines DRAM entsprechend der ersten Ausführungsform zeigt. Wie in Fig. 1 gezeigt ist, enthält dieser DRAM ein Speicherzellenfeld 10, einen Zeilen- und Spaltenadrepuffer 11, einen Zeilendekoder 12, einen Spaltendekoder 13, einen Leseverstärker 14, eine Eingabe-/Ausgabeschaltung 15, einen Eingabepuffer 16, einen Schreibtreiber 17, einen Vorverstärker 18, einen Ausgabepuffer 19, einen /RAS-(Zeilenadresausslösesignal)Puffer 20, einen /CAS-(Spaltenadresausslösesignal)Puffer 21 und einen /WE-(Schreibfreigabesignal)Puffer 22.

Dieser DRAM enthält weiterhin einen Versorgungsanschluß 23, der eine externe Versorgungsspannung extVCC (z. B. 5 V) empfängt, einen Masseanschluß 24, der eine Massespannung GND empfängt, einen Steueranschluß 25, der ein externes Zeilenadresausslösesignal ext/RAS empfängt, einen Steueranschluß 26, der ein externes Spaltenadresausslösesignal ext/CAS empfängt, einen Steueranschluß 27, der ein externes Schreibfreigabesignal ext/WE empfängt, n Adreßanschlüsse 28, die Zeilen- und Spaltenadreßsignale A1 bis An empfangen, und einen Dateneingabe-/Ausgabeanschluß 29, der ein Datensignal DQ eingibt/ausgibt.

Das Speicherzellenfeld 10 weist eine Mehrzahl von Speicherzellen (nicht gezeigt) auf, die in Zeilen und Spalten angeordnet sind. Der Adreßpuffer 11 empfängt Zeilenadreßsignale A1 bis An als Reaktion auf ein internes Zeilenadresausslösesignal int/RAS von dem /RAS-Puffer 20 und empfängt Spaltenadreßsignale A1 bis An als Reaktion auf ein internes Spaltenadresausslösesignal int/CAS von dem /CAS-Puffer 21. Der Zeilendekoder 12 wählt eine Zeile (Wortleitung) des Speicherzellenfeldes 10 als Reaktion auf die Zeilenadreßsignale A1 bis An von dem Adreßpuffer 11 aus. Der Spaltendekoder 13 wählt eine Spalte (Spaltenauswahlleitung, Bitleitung) des Speicherzellenfeldes 10 als Reaktion auf die Spaltenadreßsignale A1 bis An von dem Adreßpuffer 11 aus. Der Leseverstärker 14 verstärkt das aus dem Speicherzellenfeld 10 ausgelesene Datensignal. Die Eingabe-/Ausgabeschaltung 15, die ein Spaltenauswahlgatter und ein Dateneingabe-/Ausgabeleitungs-paar enthält, gibt das Da-

tensignal an eine durch den Spaltendekoder 13 ausgewählte Spalte ein und gibt das Datensignal von einer durch den Spaltendekoder 13 ausgewählten Spalte aus. Der Eingabepuffer 16 liefert dem Schreibtreiber 17 ein Datensignal DQ, das an dem Dateneingabe-/Ausgabebus 29 eingegeben wird. Der Schreibtreiber 17 liefert das Datensignal DQ zu der Eingabe-/Ausgabeschaltung 15 und schreibt als Reaktion auf das interne Schreibfreigabesignal int/WE von dem /WE-Puffer 22 das Datensignal DQ und in die Speicherzellen bzw. die Speicherzelle, die in einer Zeile, die durch den Zeilendekoder 12 ausgewählt ist, und in einer Spalte, die durch den Spaltendekoder 13 ausgewählt ist, angeordnet sind bzw. ist.

Dieser DRAM enthält weiterhin eine interne Versorgungsschaltung 30 und eine Testmoduserfassungsschaltung 31. Die interne Versorgungsschaltung 30 erzeugt eine interne Versorgungsspannung intVCC (z. B. 3,3 V) durch Absenken einer externen Versorgungsspannung extVCC von dem Versorgungsanschluß 23 und liefert sie an die internen Schaltungen, wie zum Beispiel das Speicherzellenfeld 10, der Adreßpuffer 11, der Zeilendekoder 12, der Spaltendekoder 13 und der Schreibtreiber 17.

Die Testmoduserfassungsschaltung 31 erfaßt einen Testmodus und erzeugt ein Testmodussignal TE, wenn das interne Zeilenadresausslösesignal int/RAS, das interne Spaltenadresausslösesignal int/CAS und das interne Schreibfreigabesignal int/WE in dem WCBR (/WE, /CAS vor /RAS)-Timing geliefert werden und ein vorbestimmter Adreßschlüssel bzw. -signal empfangen wird. Die Versorgungsfähigkeit der internen Versorgungsschaltung 30 variiert in Abhängigkeit von dem Testmodussignal TE.

Fig. 2 ist ein Schaltungsdiagramm, das einen speziellen Aufbau der internen Versorgungsschaltung 30 in Fig. 1 zeigt. Wie in Fig. 2 gezeigt ist, enthält die interne Versorgungsschaltung 30 einen Spannungsabsenkkonverter (VDC) 300, der mit dem externen Versorgungsknoten 1 verbunden ist, der die externe Versorgungsspannung extVCC empfängt und der eine interne Versorgungsspannung intVCC an den internen Versorgungsknoten 2 liefert, und einen Treibertransistor 303, der mit dem externen Versorgungsknoten 1 verbunden ist und die interne Versorgungsspannung intVCC an den internen Versorgungsknoten 2 liefert. Die interne Versorgungsschaltung 30 enthält weiterhin ein Übertragungsgatter 304, eine Inverterschaltung 305 und einen P-Kanal-MOS-Transistor 306, um den Treibertransistor 303 als Reaktion auf das Testmodussignal TE zu aktivieren/deaktivieren.

Der Spannungsabsenkkonverter 300 enthält einen Differenzverstärker 301 und einen Treibertransistor 302. Der Differenzverstärker 301 weist einen invertierten Eingangsanschluß, der eine Referenzspannung VREF empfängt, und einen nicht-invertierten Eingangsanschluß, der mit dem internen Versorgungsknoten 2 verbunden ist, auf. Der Treibertransistor 302 ist ein P-Kanal-MOS-Transistor, dessen Gate mit einem Ausgabeanschluß des Differenzverstärkers 301 verbunden ist und der zwischen dem externen Versorgungsknoten 1 und dem internen Versorgungsknoten 2 geschaltet ist.

Der Treibertransistor 303 ist ein P-Kanal-MOS-Transistor, dessen Gate mit dem Ausgabeanschluß des Differenzverstärkers 301 über ein Übertragungsgatter 304 verbunden ist und der zwischen dem externen Versorgungsknoten 1 und dem internen Versorgungsknoten 2 geschaltet ist. Das Übertragungsgatter 304 ist zwischen dem Ausgabeanschluß des Differenzverstärkers 301 und einem Gate des Treibertransistors 303 geschaltet und wird eingeschaltet/ausgeschaltet als Reaktion auf das Testmodussignal TE. Der P-Kanal-MOS-Transistor 306 ist zwischen dem externen Versorgungskno-

ten 1 und dem Gate des Treibertransistors 303 geschaltet und schaltet den Treibertransistor 303 als Reaktion auf das Testmodussignal TE aus, wenn das Übertragungsgatter 304 aus ist.

Fig. 3 ist ein Blockdiagramm, das einen Aufbau des Testmoduserfassungsschaltung 21 in Fig. 1 zeigt. Wie in Fig. 3 gezeigt ist, weist die Testmoduserfassungsschaltung 31 eine WCBR-Erfassungsschaltung 32 und eine Super-VIH-Erfassungsschaltung 33 auf.

Die WCBR-Erfassungsschaltung 32 erzeugt ein Testmodussignal WCBR, wenn das interne Spaltenadresausslösesignal int/CAS und das interne Schreibfreigabesignal int/WE vor der Aktivierung des internen Zeilenadresausslösesignals int/RAS aktiviert sind, d. h. wenn die Signale int/RAS, int/CAS und int/WE in dem WCBR-Timing geliefert werden.

Die Super-VIH-Erfassungsschaltung 33 ist mit einem Adreßanschluß 28 verbunden und erzeugt das Testmodussignal TE, wenn das Testmodussignal WCBR aktiviert ist und eine Spannung (Super-VIH) an den Adreßanschluß 28 geliefert wird, die größer ist als die interne Versorgungsspannung intVCC.

Fig. 4 ist ein Schaltungsdiagramm, das einen speziellen Aufbau der WCBR-Erfassungsschaltung 32 zeigt. Wie in Fig. 4 gezeigt ist, weist die WCBR-Erfassungsschaltung 32 Inverterschaltungen 310 bis 314, NAND-Schaltung 315 bis 320 und eine NAND-Schaltung 321 mit negativer Logik auf.

Fig. 5 ist ein Blockdiagramm, das einen speziellen Aufbau der Super-VIH-Erfassungsschaltung 33 in Fig. 3 zeigt. Wie in Fig. 5 gezeigt ist, enthält die Super-VIH-Erfassungsschaltung 33 einen Pegelkonverter 330, der einen Pegel der an den Adreßanschluß 28 gelieferten Super-VIH konvertiert, einen Differenzverstärker 331, der ein Testmodussignal TE durch Vergleichen einer Ausgabespannung des Pegelkonverters 330 mit einer Referenzspannung VREF0 erzeugt, und einen N-Kanal-MOS-Transistor 332, der mit einem Masseanschluß des Differenzverstärkers 331 verbunden ist und den Differenzverstärker 331 als Reaktion auf das Testmodussignal WCBR aktiviert/deaktiviert.

Als nächstes wird der Betrieb des oben beschriebenen DRAM, speziell der Betrieb der internen Versorgungsschaltung 30 und der Testmoduserfassungsschaltung 31 beschrieben.

Dieser DRAM weist einen Normalmodus und einen Testmodus auf und führt einen normalen Betrieb in dem Normalmodus durch. Da die Testmoduserfassungsschaltung 31 ein Testmodussignal TE mit L-Pegel (niedrige Logik; inaktiv) in dem Normalmodus liefert, ist das Übertragungsgatter 304 in Fig. 2 eingeschaltet und der P-Kanal-MOS-Transistor 306 ist ausgeschaltet. Als Ergebnis ist der Treibertransistor 303 mit dem Treibertransistor 302 parallel geschaltet, so daß die gesamte wesentliche Gatebreite der Treibertransistoren 302 und 303 breiter wird. Daher weist die interne Versorgungsschaltung 30 eine hohe Stromversorgungsfähigkeit im Normalmodus auf.

Wenn der DRAM in dem Normalmodus nach der Herstellung des DRAM-Chips, der wie oben strukturiert ist, betrieben wird, kann die interne Versorgungsschaltung 30 aufgrund ihrer hohen Stromversorgungsfähigkeit schwingen.

Wenn die interne Versorgungsschaltung 30 schwingt, werden das externe Zeilenadresausslösesignal ext/RAS, das externe Spaltenadresausslösesignal ext/CAS und das externe Schreibfreigabesignal ext/WE in dem WCBR-Timing geliefert und eine Super-VIH, die größer ist als die interne Versorgungsspannung intVCC, wird an den Adreßanschluß 28 als ein Adreßsignal A1 geliefert.

Wie in den Timingdiagrammen Fig. 6A bis 6D gezeigt ist, erzeugt die WCBR-Erfassungsschaltung 32 in Fig. 3 ein

Testmodussignal WCBR mit H-Pegel (logisch hoch; aktiv), wenn das interne Spaltenadreßauslösesignal int/CAS und das interne Schreibfreigabesignal int/WE beide vor der Aktivierung des internen Zeilenadreßauslösesignals int/RAS zu dem L-Pegel zu einem L-Pegel aktiviert werden. Daher wird die Super-VIH-Erfassungsschaltung 33 in Fig. 3 als Reaktion auf das Testmodussignal WCBR mit H-Pegel aktiviert. Da die Super-VIH an dem Adreßanschluß 28 als Adreßsignal A1 zu dieser Zeit geliefert wird, erzeugt die Super-VIH-Erfassungsschaltung 33 das Testmodussignal TE mit H-Pegel.

Wenn das Testmodussignal TE in einen H-Pegel aktiviert wird, wird das Übertragungsgatter 304 in Fig. 2 ausgeschaltet und der P-Kanal-MOS-Transistor 306 wird eingeschaltet. Da der Treibertransistor 303 folglich von dem Treibertransistor 302 getrennt wird, wird die gesamte wesentliche Gatebreite der Treibertransistoren 302 und 303 schmaler. Da der P-Kanal-MOS-Transistor 306 ein ist, erreicht das Gate des Treibertransistors 303 nie den Zustand hoher Impedanz. Als Ergebnis ist der Treibertransistor 303 fast perfekt ausgeschaltet.

Wenn die Schwingung in der internen Versorgungsschaltung 30 durch Trennen des Treibertransistors 303, wie oben beschrieben, gestoppt wird, wird deutlich, daß die Gatebreite des Treibertransistors 302 optimal ist.

Entsprechend der ersten Ausführungsform kann die wesentliche Gatebreite des Treibertransistors durch Empfangen des WCBR und des Adreßschlüssels schmaler gemacht werden, ohne eine Maske zu bearbeiten, sogar wenn die interne Versorgungsschaltung 30 in einem hergestellten DRAM-Chip oszilliert. Daher kann die optimale Gatebreite der Treibertransistoren nicht durch eine Simulation berechnet werden, sondern auf einem aktuellen Chip ohne einer mühsamen Arbeit, wie zum Beispiel eines FIB-Prozesses. Als Ergebnis kann die Gatebreite von Treibertransistoren einfach optimiert werden, so daß die interne Versorgungsschaltung 30 nicht schwingt und sie eine geeignete Stromversorgungsfähigkeit aufweist.

Da die wesentliche Gatebreite des Treibertransistors durch Empfangen des WCBR und des Adreßschlüssels schmaler gemacht werden kann, wird verglichen mit der Anschlußoption oder ähnlichem ein Anstieg der Chipfläche unterdrückt.

Zweite Ausführungsform

Fig. 7 ist ein Schaltungsdiagramm, das einen speziellen Aufbau einer internen Versorgungsschaltung in einem DRAM entsprechend mit der zweiten Ausführungsform zeigt. Wie in Fig. 7 gezeigt ist, enthält diese interne Versorgungsschaltung einen ersten Spannungsabsenkkonverter 300, der identisch mit dem Spannungsabsenkkonverter 300 in Fig. 2 ist, und einen zweiten Spannungsabsenkkonverter 340 anstatt des Treibertransistors 303 in Fig. 2. Der zweite Spannungsabsenkkonverter 340 enthält einen Differenzverstärker 341 und einen Treibertransistor 342. Der Differenzverstärker 341 weist einen invertierten Eingabeanschluß, der eine Referenzspannung VREF empfängt, und einen nichtinvertierten Eingabeanschluß, der mit einem internen Versorgungsknoten 2 verbunden ist, auf. Der Treibertransistor 342, dessen Gate mit einem Ausgabeanschluß des Differenzverstärkers 341 verbunden ist, ist zwischen einem externen Versorgungsknoten 1 und dem internen Versorgungsknoten 2 geschaltet.

Diese interne Versorgungsschaltung enthält weiterhin eine Inverterschaltung 343, einen N-Kanal-MOS-Transistor 344, eine Inverterschaltung 345 und einen P-Kanal-MOS-Transistor 346, um den Spannungsabsenkkonverter 340 als

Reaktion auf ein Testmodussignal TE zu aktivieren/deaktivieren. Der N-Kanal-MOS-Transistor 344 ist mit einem Versorgungsanschluß (GND-Seite) des Differenzverstärkers 341 verbunden und wird als Reaktion auf das Testmodussignal TE eingeschaltet/ausgeschaltet. Der P-Kanal-MOS-Transistor 346 ist zwischen dem externen Versorgungsknoten 1 und einem Gate des Treibertransistors 342 geschaltet und schaltet den Treibertransistor 342 als Reaktion auf das Testmodussignal TE aus, wenn der Transistor 344 aus ist. Das Testmodussignal TE wird durch die Testmoduserfassungsschaltung 31, die in Fig. 3 gezeigt ist, wie in der oben beschriebenen ersten Ausführungsform, erzeugt.

Wenn ein DRAM mit der oben beschriebenen internen Versorgungsschaltung in einem Normalmodus ist, ist das Testmodussignal TE in einen L-Pegel inaktiviert. Da der N-Kanal-MOS-Transistor 344 an ist und der P-Kanal-MOS-Transistor 346 aus ist, ist der zweite Spannungsabsenkkonverter 340 aktiviert. Daher liefern beide Spannungsabsenkkonverter 300 und 340 eine interne Versorgungsspannung intVCC an den internen Versorgungsknoten 2.

Wenn die interne Versorgungsschaltung in dem Normalmodus schwingt, nimmt der DRAM einen Testmodus wie in der ersten Ausführungsform an und ein Testmodussignal TE wird auf den H-Pegel aktiviert. Da der N-Kanal-MOS-Transistor 344 folglich ausgeschaltet wird und der P-Kanal-MOS-Transistor 346 folglich eingeschaltet wird, ist der zweite Spannungsabsenkkonverter 340 inaktiv. In diesem Fall liefert P-Kanal-MOS-Transistor 346 die externe Versorgungsspannung extVCC an das Gate des Treibertransistors 342, so daß der Treibertransistor 342 fast perfekt aus ist.

Entsprechend der oben beschriebenen zweiten Ausführungsform wird der zweite Spannungsabsenkkonverter 340 durch Erfassen von WCBR und des Adreßschlüssels inaktiviert, so daß die gleichen Ergebnisse wie in der ersten Ausführungsform erzielt werden können.

Dritte Ausführungsform

Fig. 8 ist ein Schaltungsdiagramm, das einen speziellen Aufbau einer internen Versorgungsschaltung in einem DRAM entsprechend der dritten Ausführungsform zeigt. Wie in Fig. 8 gezeigt ist, enthält diese interne Versorgungsschaltung zusätzlich zu dem Aufbau von Fig. 2 einen Treibertransistor 350, der mit einem externen Versorgungsknoten 1 verbunden ist und eine interne Versorgungsspannung intVCC an den internen Versorgungsknoten 2 liefert. Diese interne Versorgungsschaltung enthält weiterhin ein Übertragungsgatter 351, eine Inverterschaltung 352 und einen P-Kanal-MOS-Transistor 353, um den Treibertransistor 350 als Reaktion auf ein Testmodussignal TE2, das im folgenden beschrieben wird, zu aktivieren/deaktivieren. Hier empfangen das Übertragungsgatter 304 und eine Inverterschaltung 305 ein Testmodussignal TE1, das im folgenden beschrieben wird, anstatt des Testmodussignales TE in Fig. 2.

Diese interne Versorgungsschaltung enthält zusätzlich zu einem Spannungsabsenkkonverter 300 zwei Treibertransistoren 303 und 350 und zwei Schaltungen (304 bis 306 und 351 und 353) zum entsprechenden Deaktivieren dieser Transistoren.

Fig. 9 ist ein Blockdiagramm, das einen Aufbau einer Testmoduserfassungsschaltung für die interne Versorgungsspannungsschaltung von Fig. 8 zeigt. Diese Testmoduserfassungsschaltung wird anstatt der Testmoduserfassungsschaltung 31 in der oben beschriebenen ersten Ausführungsform verwendet. Wie in Fig. 9 gezeigt ist, enthält diese Testmoduserfassungsschaltung eine WCBR-Erfassungsschaltung 32 und eine Super-VIH-Erfassungsschaltung 33, wie in der ersten Ausführungsform, und sie enthält weiterhin eine

Adreßerfassungsschaltung 36.

Die Adreßerfassungsschaltung 36 wird als Reaktion auf das Testmodussignal von der Super-VIH-Erfassungsschaltung 33 aktiviert und sie erzeugt die Testmodussignale TE1 und TE2 entsprechend einer Kombination der Adreßsignale A2 und A3.

Fig. 10 ist ein Schaltungsdiagramm, das einen speziellen Aufbau der Adreßerfassungsschaltung 36 in Fig. 9 zeigt. Wie in Fig. 10 gezeigt ist, enthält die Adreßerfassungsschaltung 36 NAND-Schaltungen 361 bis 364, Inverterschaltungen 365 bis 370 und Halteschaltungen (RS-Flip-Flop-Schaltungen) 371 und 372. Die NAND-Schaltungen 361 und 362 empfangen die Adreßsignale A2 und A3 entsprechend und beide empfangen das Testmodussignal TE. Die Halteschaltungen 371 und 372 erzeugen entsprechend Testmodussignale TE1 und TE2 und sie werden als Reaktion auf ein Zurücksetzsignal RST zurückgesetzt.

Wie in den Timingdiagrammen von Fig. 11A bis Fig. 11F gezeigt ist, wird das Testmodussignal TE in den H-Pegel aktiviert, wie in der ersten Ausführungsform, wenn das WCBR und das Super-VIH erfaßt werden. Ein H- oder L-Pegeladreßsignal A2 kann in den Adreßanschluß 28 eingegeben werden und ein H- oder L-Pegel-Adreßsignal A3 kann unabhängig in den Adreßanschluß 28 eingegeben werden. Die Testmodussignale TE1 und TE2 mit H- oder L-Pegel werden entsprechend der Kombination von solchen Adreßsignalen A2 und A3 erzeugt.

Wenn der oben beschriebene DRAM in dem Normalmodus ist, werden die Testmodussignale TE1 und TE2 beide in den L-Pegel deaktiviert, so daß die Treibertransistoren 303 und 350 parallel mit dem Treibertransistor 302 verbunden werden.

Wenn die obige interne Versorgungsschaltung in dem Normalmodus schwingt, wird zumindest eines der Testmodussignale TE1 und TE2 in den H-Pegel aktiviert. Die Aktivierung des Testmodussignals TE1 trennt den Treibertransistor 303. Die Aktivierung des Testmodussignals TE2 trennt den Treibertransistor 350. Die Aktivierung von beiden Testmodussignalen TE1 und TE2 trennt beide Treibertransistoren 303 und 350. Daher kann, sogar wenn die interne Versorgungsschaltung nach der Herstellung des DRAM-Chips schwingt, die Gatebreite des Treibertransistors, der nicht schwingt und der genügend Strom liefern kann, auf dem aktuellen Chip bestimmt werden.

Entsprechend der oben beschriebenen dritten Ausführungsform werden eine Mehrzahl von Treibertransistoren 303, 350 selektiv durch Empfangen des WCBR und des Adreßschlüssels deaktiviert, so daß die Gatebreite der Treibertransistoren genauer als in der obigen ersten Ausführungsform optimiert werden kann.

Wie in der obigen dritten Ausführungsform kann die interne Versorgungsschaltung eine Mehrzahl von Treibertransistoren aufweisen, die selektiv deaktiviert werden können. Ähnlich kann die interne Versorgungsschaltung eine Mehrzahl von Spannungsabsenkkonvertoren aufweisen, die selektiv deaktiviert werden können. Auch eine Mehrzahl von Treibertransistoren oder von Spannungsabsenkkonvertoren können selektiv mit der Aktivierung des Testfreigabesignals aktiviert werden.

Vierte Ausführungsform

Fig. 12 ist ein Schaltungsdiagramm, das einen speziellen Aufbau einer internen Versorgungsschaltung in einem DRAM entsprechend der vierten Ausführungsform zeigt. Wie in Fig. 12 gezeigt ist, weist diese interne Versorgungsschaltung zusätzlich zu dem Aufbau von Fig. 2 eine Sicherung 380 auf, die mit einem Treibertransistor 303 in Reihe

geschaltet ist.

Hier deaktivieren ein Übertragungsgatter 304, eine Inverterschaltung 305 und ein P-Kanal-MOS-Transistor 306 vorübergehend den Treibertransistor 303 als Reaktion auf ein Testmodussignal TE. Die Sicherung 380 ist beispielsweise aus Polysilizium und sie deaktiviert oder aktiviert den Treibertransistor 303 normalerweise. Obwohl das Testmodussignal TE wünschenswert als Reaktion auf das Erfassen des WCBR und des Adreßschlüssels, wie in der obigen ersten Ausführungsform, erzeugt wird, kann es zum Beispiel durch eine sogenannte Anschlußoption erzeugt werden.

Da das Testmodussignal TE inaktiv ist, wenn der DRAM, der die obige interne Versorgungsschaltung aufweist, in dem normalen Modus ist, ist der Treibertransistor 303 mit einem Treibertransistor 302 parallel verbunden. Hier ist die Sicherung 380 nicht weggeschmolzen bzw. entfernt.

Wenn diese interne Versorgungsschaltung nach der Herstellung eines DRAM-Chips schwingt, wird das Testmodussignal TE aktiviert, so daß der Treibertransistor 303 vorübergehend von dem Treibertransistor 302 getrennt wird.

Wenn jedoch die Schwingung unabhängig von der wesentlichen Gatebreite des Treibertransistors 303 die Schwingung stoppt die Trennung des Treibertransistors 303, die Schwingung nicht. In diesem Fall wird der Treibertransistor 303 wieder mit dem Treibertransistor 302 parallel verbunden.

Wenn andererseits die Schwingung durch die wesentliche Gatebreite des Treibertransistors erheblich verursacht wird, stoppt die Trennung des Treibertransistors 303 die Schwingung. In diesem Fall wird die Sicherung 380 zum Beispiel durch Laserabstimmen physikalisch entfernt. Der Treibertransistor 303 ist folglich von dem Treibertransistor 302 dauerhaft getrennt. Daher ist die Gatebreite des Treibertransistors optimiert, so daß die Schwingung nicht verursacht wird und ausreichend Strom geliefert werden kann. Als Ergebnis kann ein DRAM mit einer optimal eingestellten internen Versorgungsschaltung zur Verfügung gestellt werden.

Entsprechend der obigen vierten Ausführungsform kann die wesentliche Gatebreite des Treibertransistors, da die Sicherung 380, die den Treibertransistor 303 dauerhaft deaktiviert, zusätzlich zu einer Schaltung (304 bis 306) zum vorübergehenden Deaktivieren des Treibertransistors 303 zur Verfügung gestellt ist, nachdem eine optimale Gatebreite durch vorübergehendes Schmälermachen der wesentlichen Gatebreite eines Treibertransistors in der internen Versorgungsschaltung während der Massenproduktion eines DRAM-Chips bestimmt ist, dauerhaft durch Entfernen der Sicherung 380 schmaler gemacht werden.

Fünfte Ausführungsform

Fig. 13 ist ein Schaltungsdiagramm, das einen speziellen Aufbau einer internen Versorgungsschaltung in einem DRAM entsprechend mit der fünften Ausführungsform zeigt. Wie in Fig. 13 gezeigt ist, enthält diese interne Versorgungsschaltung zusätzlich zu dem Aufbau von Fig. 7 Sicherungen 390 und 391, die zum Beispiel aus Polysilizium sind, um den Treibertransistor 342 normalerweise zu deaktivieren oder zu aktivieren. Die Sicherung 390 ist mit dem N-Kanal-MOS-Transistor 344 in Reihe verbunden. Die Sicherung 391 ist mit dem Treibertransistor 342 in Reihe verbunden.

Da ein Testmodussignal TE inaktiv ist, wenn der DRAM mit der internen Versorgungsschaltung, die wie oben aufgebaut ist, in einem normalen Modus ist, ist ein zweiter Spannungsabsenkkonverter 340 aktiviert. Hier sind die Sicherungen 390 und 391 nicht entfernt.

Wenn diese interne Versorgungsschaltung nach der Herstellung eines DRAM-Chips schwingt, wird das Testmodussignal TE aktiviert. Da der zweite Spannungsabsenkkonverter

ter 340 folglich deaktiviert wird, wird die wesentliche Gatebreite der Treibertransistoren in dieser internen Versorgungsschaltung schmaler. Wenn dies die Schwingung stoppt, werden die Sicherungen 390 und 391 physikalisch entfernt und somit wird der zweite Spannungsabsenkkonverter 340 dauerhaft deaktiviert. Daher wird ein DRAM mit einer optimierten wesentlichen Gatebreite der Treibertransistoren in einer internen Versorgungsschaltung zur Verfügung gestellt.

Die obige fünfte Ausführungsform kann die gleichen Ergebnisse wie die vierte Ausführungsform zur Verfügung stellen.

Obwohl die interne Versorgungsschaltung in der vierten Ausführungsform einen Treibertransistor 303 aufweist, der selektiv deaktiviert werden kann, und die interne Versorgungsschaltung in der fünften Ausführungsform einen Spannungsabsenkkonverter 340 aufweist, der selektiv deaktiviert werden kann, kann die interne Versorgungsschaltung eine Mehrzahl von Treibertransistoren oder Spannungsabsenkkonvertern aufweisen, die selektiv deaktiviert werden können, wie in der dritten Ausführungsform.

Auch kann anstatt von Sicherungen 390, 391, die durch einen Laser entfernt werden, eine Sicherung benutzt werden, die leitet, wenn ein Gateoxidfilm durchbrochen wird aufgrund der Anwendung von Hochspannung. Weiterhin kann eine Sicherung, die einen reversiblen nicht-flüchtigen Speicher aufweist, anstatt einer nicht-reversiblen Sicherung, wie oben, benutzt werden.

Patentansprüche

1. Halbleiterschaltungseinrichtung, die eine externe Versorgungsspannung (extVCC) empfängt und die einen Normalmodus und einen Testmodus aufweist, mit einer internen Schaltungsanordnung (10-22), die mit einem internen Versorgungsknoten (2) verbunden ist und einen vorbestimmten Betrieb durchführt, einer ersten internen Versorgungseinrichtung (300), die mit einem externen Versorgungsknoten (1), der die externe Versorgungsspannung (extVCC) empfängt, verbunden ist, zum Versorgen des internen Versorgungsknotens (2) mit einer internen Versorgungsspannung (intVCC), die kleiner ist als die externe Versorgungsspannung (extVCC), einer zweiten internen Versorgungseinrichtung (303, 304), die mit dem externen Versorgungsknoten (1) verbunden ist, zum Versorgen des internen Versorgungsknotens (2) mit der internen Versorgungsspannung (intVCC), einer Erfassungseinrichtung (31-33, 36), die auf Steuerungssignale (int/RAS, int/CAS, int/WE, A1) reagiert, die extern in einem vorbestimmten Timing geliefert werden, zum Erfassen des Testmodus und Erzeugen eines ersten Testmodussignales (TE, TE1) und einer Aktivierungs-/Deaktivierungseinrichtung (304-306, 343-346), die auf das erste Testmodussignal (TE, TE1) reagiert, zum Aktivieren/Deaktivieren der zweiten internen Versorgungseinrichtung (303, 340).
2. Halbleiterschaltungseinrichtung nach Anspruch 1 mit einer Mehrzahl von Adreßanschlüssen (28), die ein Zeilen- und ein Spaltenadreßsignal (A1-An) empfangen, wobei die interne Schaltungsanordnung (10-22) ein Speicherzellenfeld (10) mit einer Mehrzahl von Speicherzellen, die in Zeilen und Spalten angeordnet sind, einen Adreßpuffer (11), der das Zeilenadreßsignal

(A1-An) als Reaktion auf ein Zeilenadreßauslösesignal (int/RAS) und das Spaltenadreßsignal (A1-An) als Reaktion auf ein Spaltenadreßauslösesignal (int/CAS) empfängt,

einen Zeilendekoder (12), der eine Zeile des Speicherzellenfeldes (10) als Reaktion auf das Zeilenadreßsignal (A1-An) von dem Adreßpuffer (11) auswählt, einen Spaltendekoder (13), der eine Spalte des Speicherzellenfeldes (10) als Reaktion auf das Spaltenadreßsignal (A1-An) von dem Adreßpuffer (11) auswählt, und

eine Schreibeinrichtung (17), die auf ein Schreibfreigabesignal (int/WE) reagiert, zum Schreiben eines Datensignals in eine Speicherzelle, die in einer durch den Zeilendekoder (12) ausgewählten Zeile und in einer durch den Spaltendekoder (13) ausgewählten Spalte angeordnet sind, aufweist,

wobei die Erfassungsschaltung (31-33, 36)

eine Einrichtung (32) zum Erzeugen eines zweiten Testmodussignales (WCBR), wenn das Spaltenadreßauslösesignal (int/CAS) und das Schreibfreigabesignal (int/WE) vor dem Aktivieren des Zeilenadreßauslösesignales (int/RAS) aktiviert sind, und eine Einrichtung (33), die zumindest mit einem der Adreßanschlüsse (28) verbunden ist, zum Erzeugen des ersten Testmodussignales (TE), wenn das zweite Testmodussignal (WCBR) aktiviert ist und eine Spannung (Super-VIH), die größer ist als die interne Versorgungsspannung (intVCC), zu dem zumindest einen der Adreßanschlüsse (28) geliefert wird, aufweist.

3. Halbleiterschaltungseinrichtung nach Anspruch 1 oder 2, wobei die erste interne Versorgungseinrichtung (300) einen Differenzverstärker (301), der einen invertierten Eingabeanschluß (-), der eine Referenzspannung (VREF) empfängt, und einen nicht-invertierten Eingabeanschluß (+), der mit dem internen Versorgungsknoten (2) verbunden ist, aufweist, und einen ersten Treibertransistor (302), dessen Gate mit einem Ausgabeanschluß des Differenzverstärkers (301) verbunden ist und der zwischen dem externen Versorgungsknoten (1) und dem internen Versorgungsknoten (2) geschaltet ist, aufweist,

wobei das zweite interne Versorgungsmittel

einen zweiten Treibertransistor (303), dessen Gate mit dem Ausgabeanschluß des Differenzverstärkers (301) verbunden ist und der zwischen dem externen Versorgungsknoten (1) und dem internen Versorgungsknoten (2) geschaltet ist, aufweist,

wobei das zweite interne Versorgungsmittel einen zweiten Treibertransistor (303), dessen Gate mit dem Ausgabeanschluß des Differenzverstärkers (301) verbunden ist und der zwischen dem externen Versorgungsknoten (1) und dem internen Versorgungsknoten (2) geschaltet ist, aufweist.

4. Halbleiterschaltungseinrichtung nach Anspruch 3, wobei die Aktivierungs-/Deaktivierungseinrichtung eine Schalteinrichtung (304), die zwischen dem Ausgabeanschluß des Differenzverstärkers (301) und einem Gate des Treibertransistors (303) geschaltet ist und die als Reaktion auf das erste Testmodussignal (TE, TE1) eingeschaltet/ausgeschaltet wird, und eine Einrichtung (306), die auf das erste Testmodussignal (TE, TE1) reagiert, zum Ausschalten des zweiten Treibertransistors (303), wenn die Schalteinrichtung (304) ausgeschaltet ist.

5. Halbleiterschaltungseinrichtung nach Anspruch 1 oder 2, wobei

die erste interne Versorgungseinrichtung (300) einen ersten Differenzverstärker (301), der einen invertierten Eingabeanschluß (-), der eine erste Referenzspannung (VREF) empfängt, und einen nicht-invertierten Eingabeanschluß (+), der mit dem internen Versorgungsknoten (2) verbunden ist, aufweist, und

einen ersten Treibertransistor (302), dessen Gate mit einem Ausgabeanschluß des ersten Differenzverstärkers (301) verbunden ist und der zwischen dem externen Versorgungsknoten (1) und dem internen Versorgungsknoten (2) geschaltet ist, aufweist, wobei die zweite interne Versorgungseinrichtung einen zweiten Differenzverstärker (341), der einen invertierten Eingabeanschluß (-), der eine zweite Referenzspannung (VREF) empfängt, und einen nicht-invertierten Eingabeanschluß (+), der mit dem internen Versorgungsknoten (2) verbunden ist, aufweist, und einen zweiten Treibertransistor (342), dessen Gate mit einem Ausgabeanschluß des zweiten Differenzverstärkers (341) verbunden ist und der zwischen dem externen Versorgungsknoten (1) und dem internen Versorgungsknoten (2) geschaltet ist, aufweist.

6. Halbleiterschaltungseinrichtung nach Anspruch 5, wobei die Aktivierungs-/Deaktivierungseinrichtung eine Schalteinrichtung (344), die mit einem Versorgungsanschluß des zweiten Differenzverstärkers (341) verbunden ist und die als Reaktion auf das erste Testmodussignal (TE) eingeschaltet/ausgeschaltet wird, und eine Einrichtung (346), die auf das erste Testmodussignal (TE) reagiert, zum Ausschalten des zweiten Treibertransistors (342), wenn die Schalteinrichtung (344) ausgeschaltet ist, aufweist.

7. Halbleiterschaltungseinrichtung, die eine externe Versorgungsspannung (extVCC) empfängt und die einen Normalmodus und einen Testmodus aufweist, mit einer internen Schaltungsanordnung (10-22), die mit einem internen Versorgungsknoten (2) verbunden ist und einen vorbestimmten Betrieb durchführt, einer ersten internen Versorgungseinrichtung (300), die mit dem externen Versorgungsknoten (1), der die externe Versorgungsspannung (extVCC) empfängt, verbunden ist, zum Versorgen des internen Versorgungsknotens (2) mit einer internen Versorgungsspannung (intVCC), die kleiner ist als die externe Versorgungsspannung (extVCC), einer zweiten internen Versorgungseinrichtung (303, 340), die mit dem externen Versorgungsknoten (1) verbunden ist, zum Versorgen des internen Versorgungsknotens (2) mit der internen Versorgungsspannung (intVCC), einer Erfassungseinrichtung (3), die den Testmodus erfaßt und ein Testmodussignal (TE) erzeugt, einer ersten Deaktivierungseinrichtung (304-306, 343-346), die auf das Testmodussignal (TE) reagiert, zum vorübergehenden Deaktivieren der zweiten internen Versorgungseinrichtung (303, 340) und einer zweiten Deaktivierungseinrichtung (380, 390, 391), die die zweite interne Versorgungseinrichtung (303, 340) normalerweise deaktiviert.

8. Halbleiterschaltungseinrichtung nach Anspruch 7, wobei die erste interne Versorgungseinrichtung (300) einen Differenzverstärker (301), der einen invertierten Eingabeanschluß (-), der eine Referenzspannung (VREF) empfängt, und einen nicht-invertierten Eingabeanschluß (+), der mit dem internen Versorgungsknoten (2) verbunden ist, aufweist, und einen ersten Treibertransistor (302), dessen Gate mit einem Ausgabeanschluß des Differenzverstärkers (301) verbunden ist und der zwischen dem externen Versorgungsknoten (1) und dem internen Versorgungsknoten (2) geschaltet ist, aufweist, wobei die zweite interne Versorgungseinrichtung einen zweiten Treibertransistor (303), dessen Gate mit

einem Ausgabeanschluß des Differenzverstärkers (301) verbunden ist und der zwischen dem externen Versorgungsknoten (1) und dem internen Versorgungsknoten (2) geschaltet ist, aufweist.

9. Halbleiterschaltungseinrichtung nach Anspruch 8, wobei die Deaktivierungseinrichtung (304-306, 343-346) eine Schalteinrichtung (304), die zwischen dem Ausgabeanschluß des Differenzverstärkers (301) und einem Gate des zweiten Treibertransistors (303) geschaltet ist und die als Reaktion auf das Testmodussignal (TE) ausgeschaltet ist, und eine Einrichtung (306), die auf das erste Testmodussignal (TE) reagiert, zum Ausschalten des zweiten Treibertransistors (303), aufweist.

10. Halbleiterschaltungseinrichtung nach Anspruch 8 oder 9, wobei die zweite Deaktivierungseinrichtung (380, 390, 391) eine Sicherung (380) aufweist, die mit dem zweiten Treibertransistors (303) in Reihe geschaltet ist.

11. Halbleiterschaltungseinrichtung nach Anspruch 7, wobei die erste interne Versorgungseinrichtung (300) einen ersten Differenzverstärker (31), der einen invertierten Eingabeanschluß (-), der eine erste Referenzspannung (VREF) empfängt, und einen nicht-invertierten Eingabeanschluß (+), der mit dem internen Versorgungsknoten (2) verbunden ist, aufweist, und einen ersten Treibertransistor (302), dessen Gate mit einem Ausgabeanschluß des Differenzverstärkers (301) verbunden ist und der zwischen dem externen Versorgungsknoten (1) und dem internen Versorgungsknoten (2) geschaltet ist, aufweist, wobei die zweite interne Versorgungseinrichtung (340) einen Differenzverstärker (341), der einen invertierten Eingabeanschluß (-), der eine zweite Referenzspannung (VREF) empfängt, und einen nicht-invertierten Eingabeanschluß (+), der mit dem internen Versorgungsknoten (2) verbunden ist, aufweist, und einen zweiten Treibertransistor (342), dessen Gate mit einem Ausgabeanschluß des zweiten Differenzverstärkers (341) verbunden ist und der zwischen dem externen Versorgungsknoten (1) und dem internen Versorgungsknoten (2) geschaltet ist, aufweist.

12. Halbleiterschaltungseinrichtung nach Anspruch 11, wobei die erste Deaktivierungseinrichtung eine erste Schalteinrichtung (344), die mit einem Versorgungsanschluß des zweiten Differenzverstärkers (341) verbunden ist und die als Reaktion auf das Testmodussignal (TE) ausgeschaltet ist, und eine Einrichtung (346), die auf das Testmodussignal (TE) reagiert, zum Ausschalten des zweiten Treibertransistors (342) aufweist.

13. Halbleiterschaltungseinrichtung nach Anspruch 12, wobei die zweite Deaktivierungseinrichtung eine erste Sicherung (390), die mit der Schalteinrichtung (344) in Reihe geschaltet ist, und eine zweite Sicherung (391), die mit dem zweiten Treibertransistor (342) in Reihe geschaltet ist, aufweist.

FIG. 1

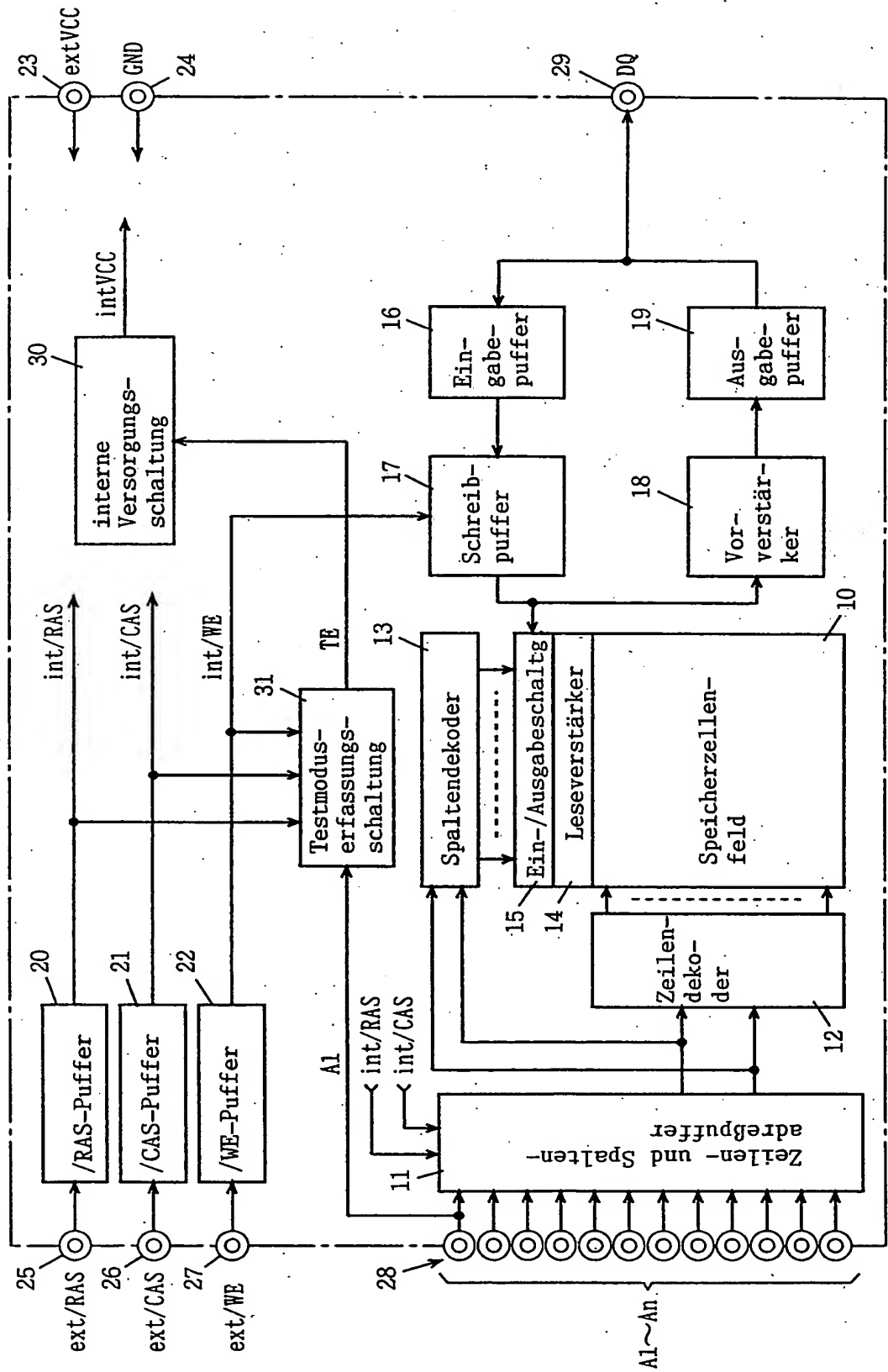


FIG. 2

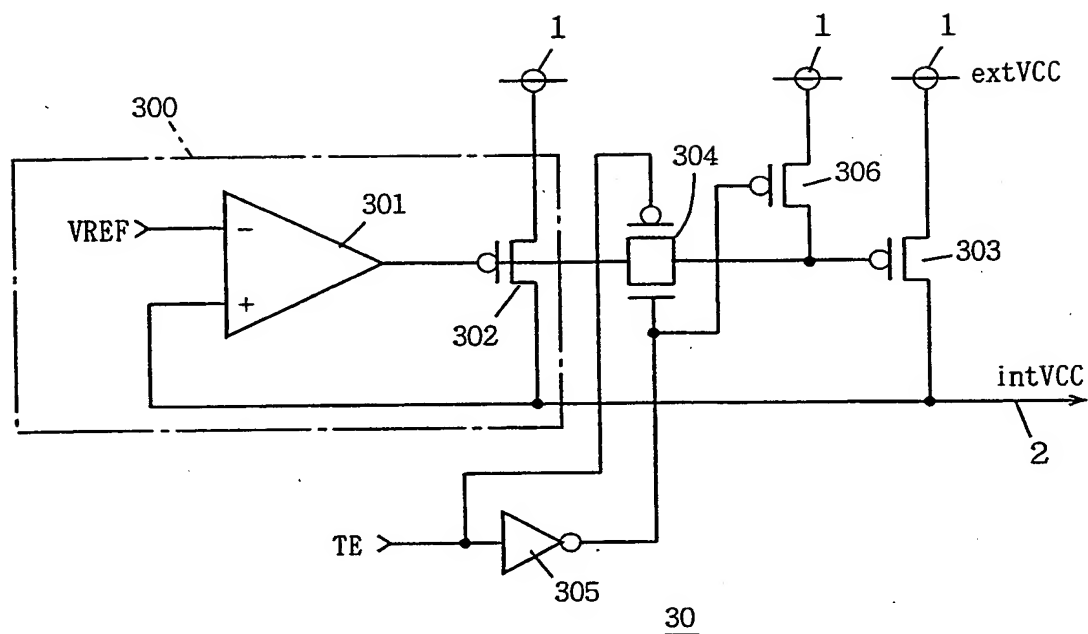


FIG. 3.

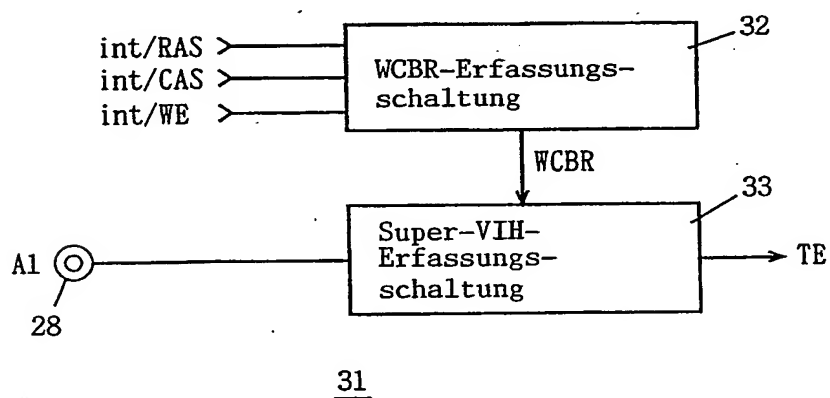


FIG. 4

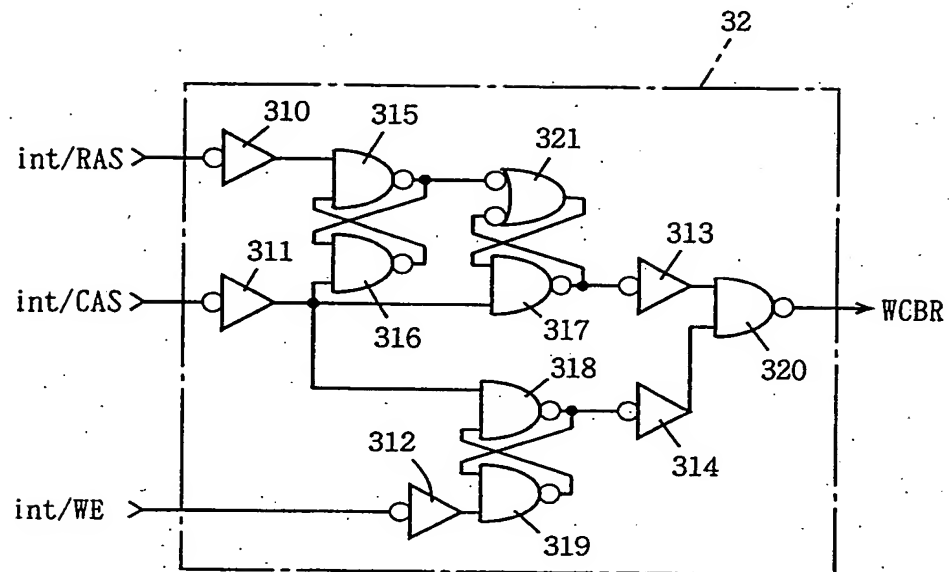
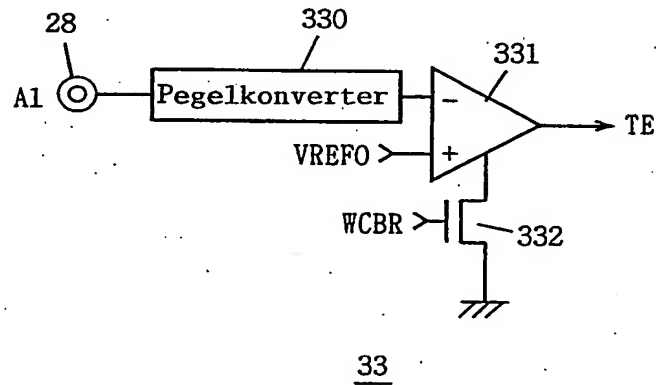


FIG. 5



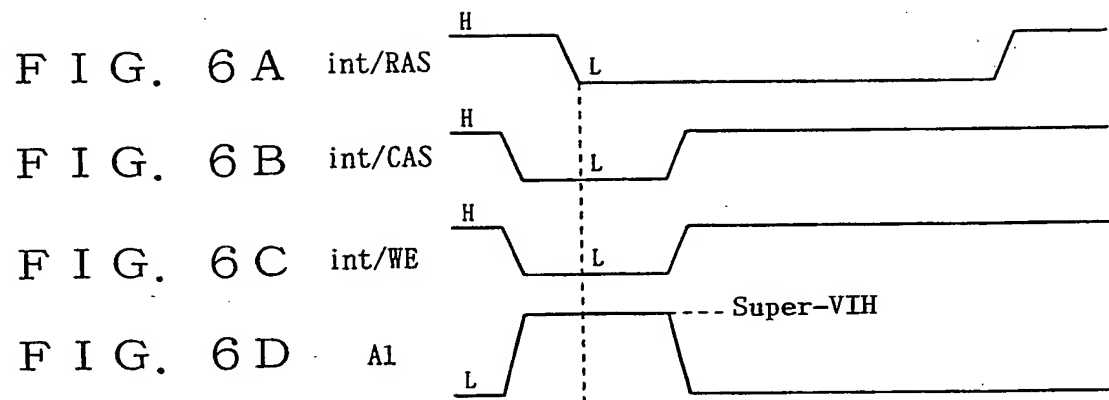
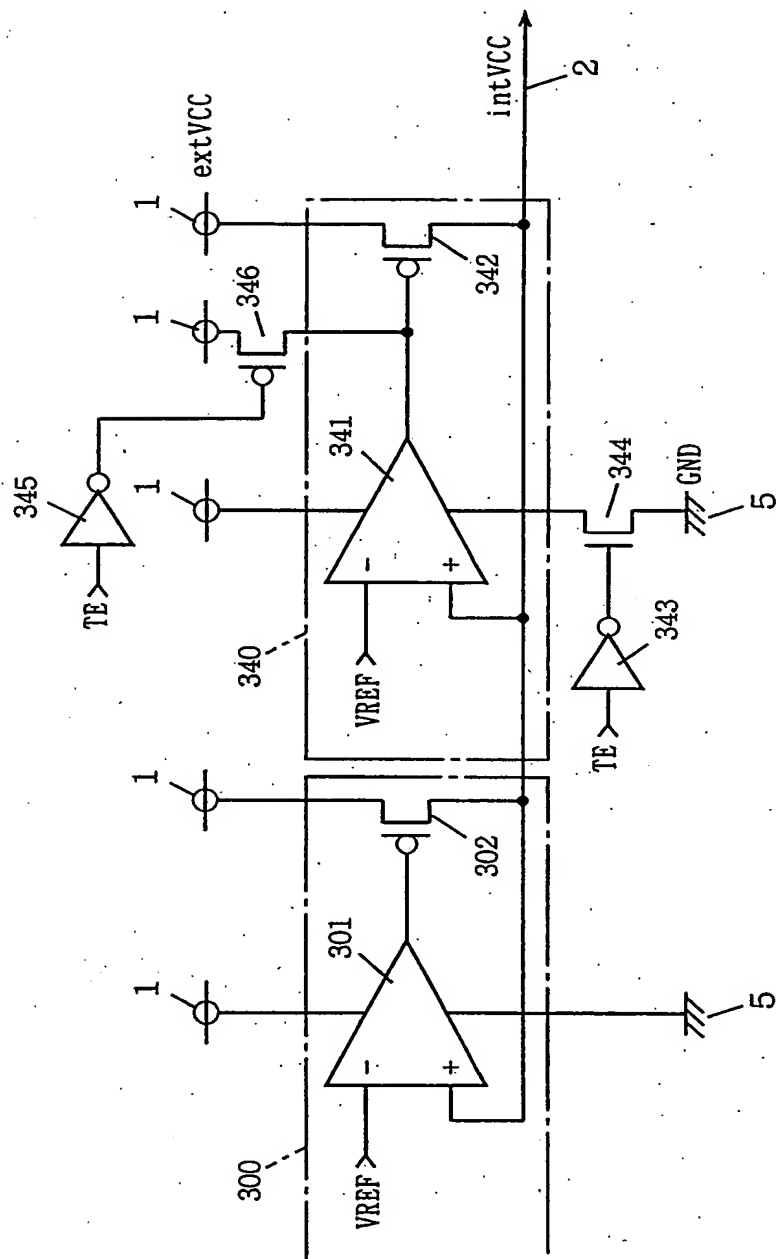


FIG. 7



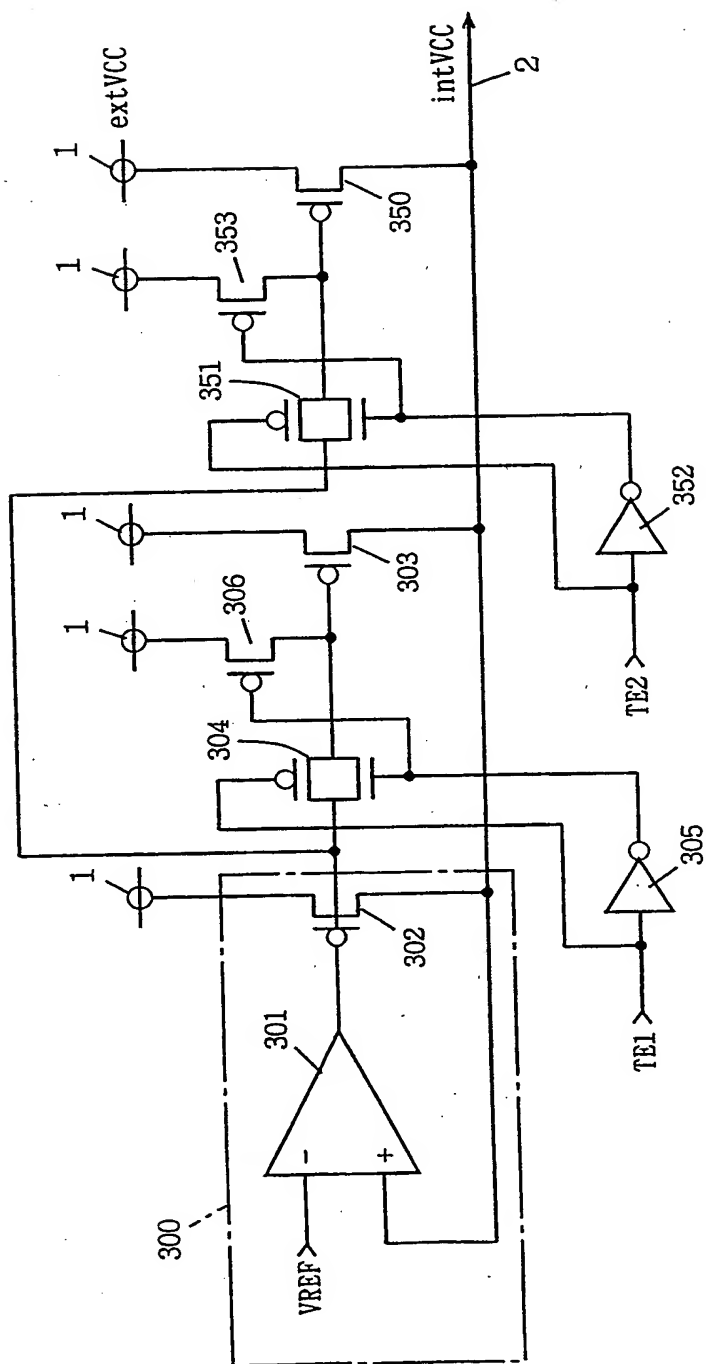
$$\infty$$


FIG. 9

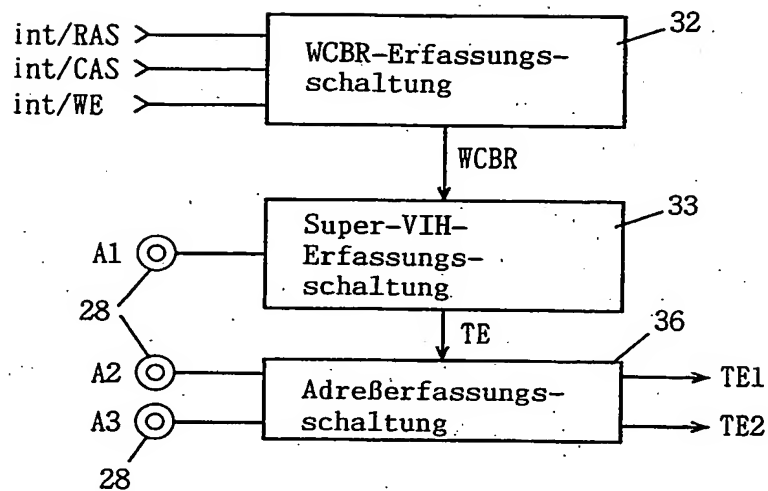
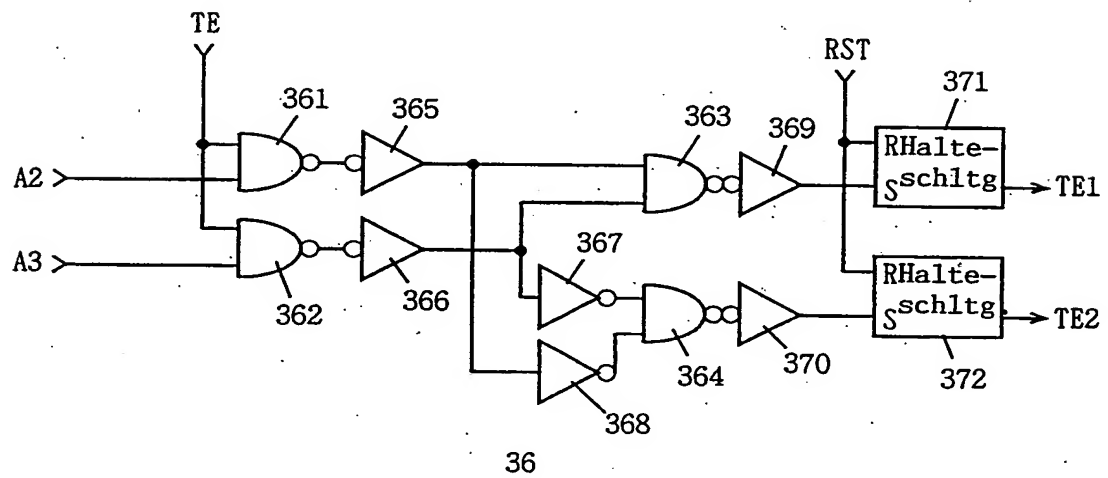


FIG. 10



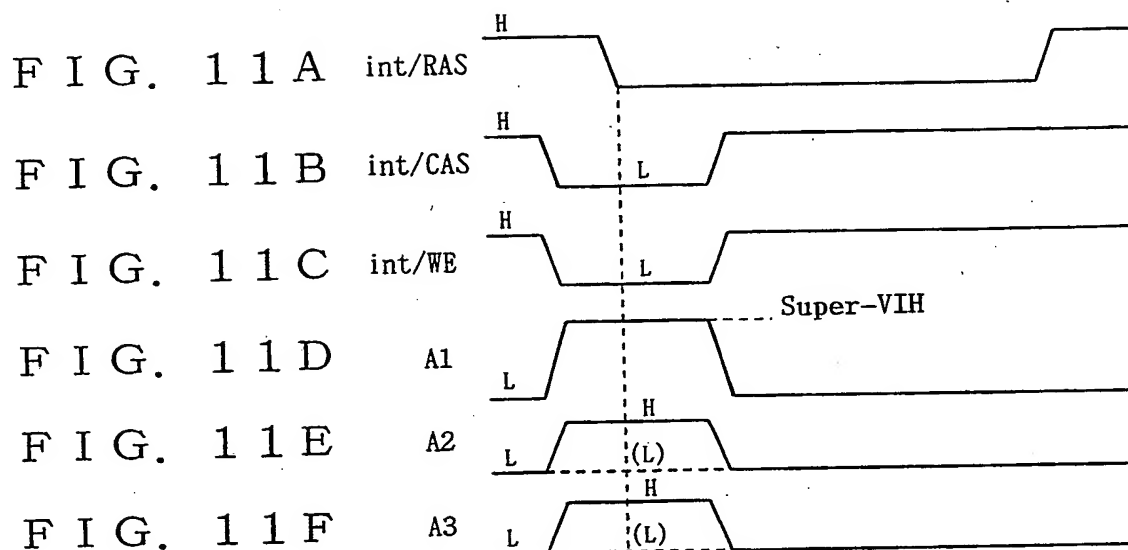


FIG. 12

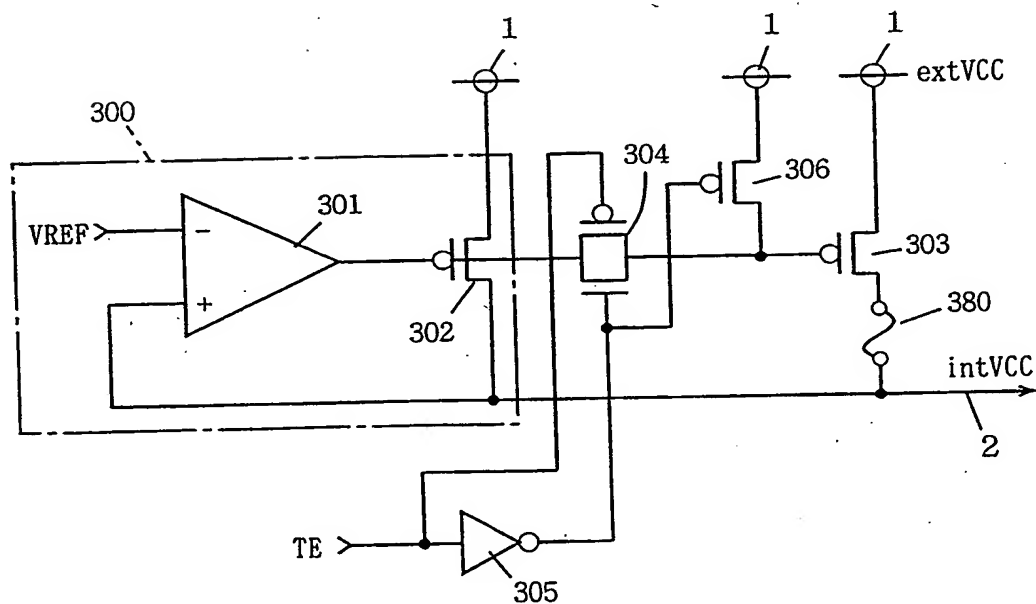


FIG. 13

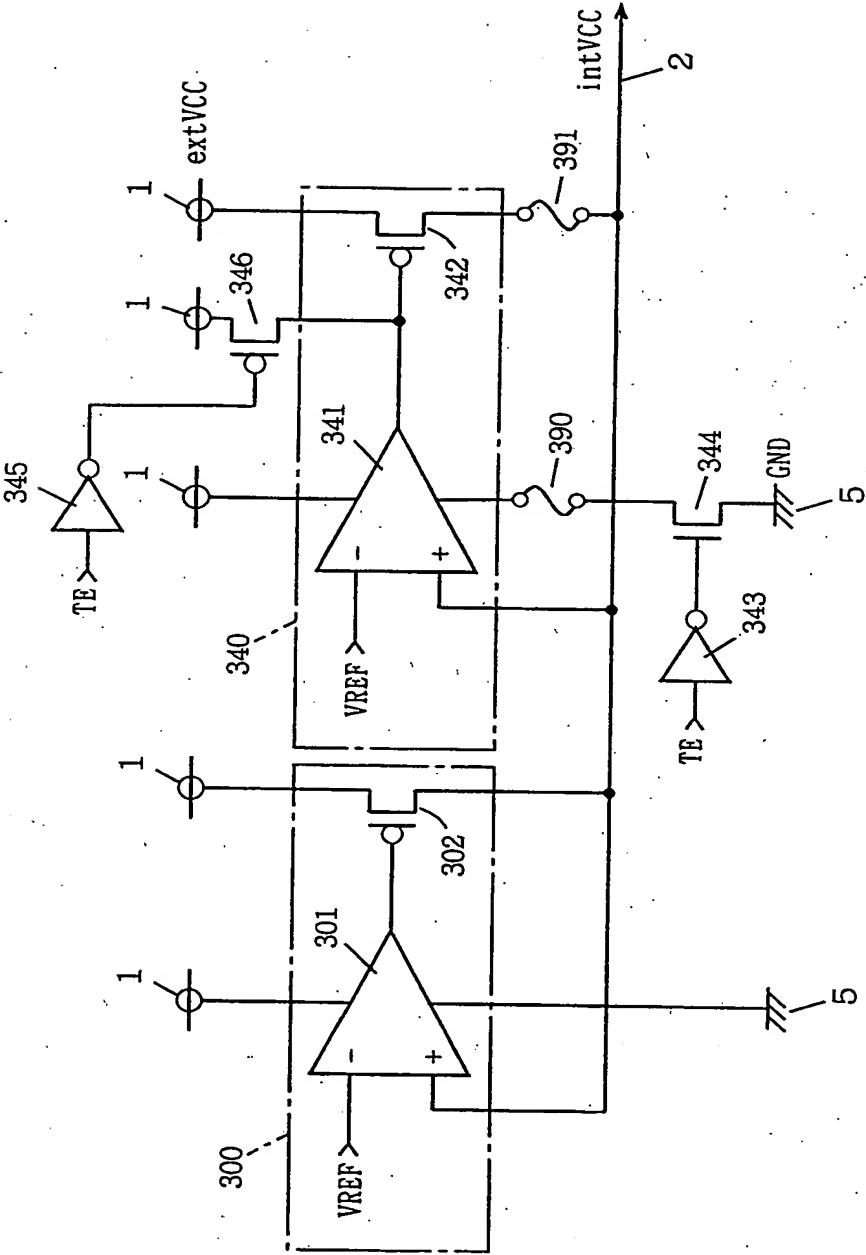


FIG. 14

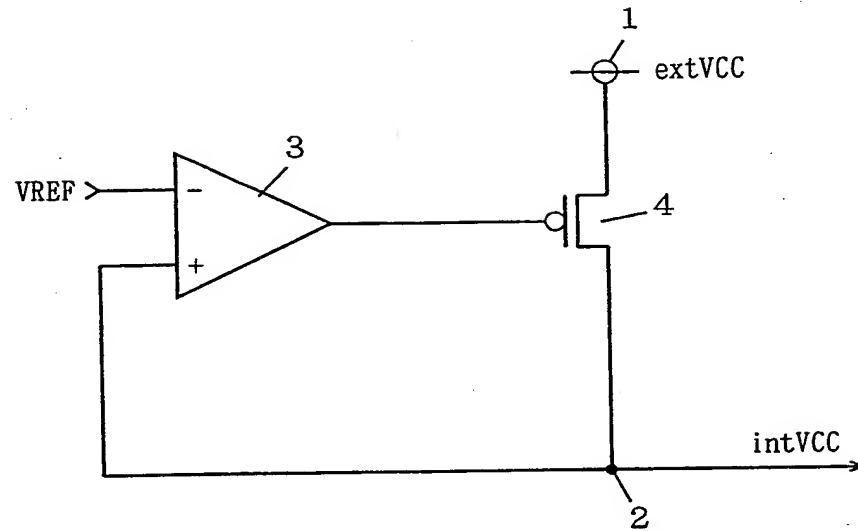


FIG. 15

